

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-321646
(43)Date of publication of application : 04.12.1998

(51)Int.Cl. H01L 21/338
H01L 29/812

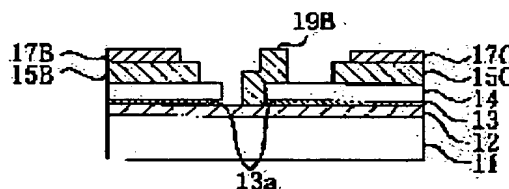
(21)Application number : 09-129157 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(22)Date of filing : 20.05.1997 (72)Inventor : OTA TOSHIMICHI
MASATO HIROYUKI
MORIMOTO SHIGERU
IWANAGA JUNKO

(54) FIELD EFFECT-TYPE TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To stably execute an operation near withstand voltage limit with high withstand voltage and with small on-resistance in power FET(field effect- type transistor).

SOLUTION: A channel layer 12 in which Si is doped and which is constituted of n-type GaAs, a hole absorption layer 13 which is constituted of InGaAs whose valence band end of energy level is larger than GaAs and an undoped layer 14 constituted of GaAs are sequentially formed on a semi-insulating substrate 11 constituted of GaAs. A gate recess area which exposes the channel layer, has a side wall part constituted of a lower side wall constituted of a hole absorption layer 13 and an upper side wall constituted of the undoped layer 14 and has an undercut-formed space part 13a for the lower side wall is formed on the channel layer 12. A gate electrode 19B is formed so that it straddles a step part constituted of the side wall part of a drain electrode 17 C-side in the gate recess area.



LEGAL STATUS

[Date of request for examination] 08.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3413345

[Date of registration] 28.03.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321646

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶H 0 1 L 21/338
29/812

識別記号

F I

H 0 1 L 29/80

F

審査請求 未請求 請求項の数9 O L (全 12 頁)

(21) 出願番号 特願平9-129157

(22) 出願日 平成9年(1997)5月20日

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 太田 順道

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 正戸 宏幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 森本 滋

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

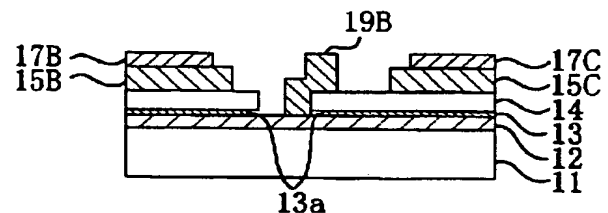
最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタ及びその製造方法

(57) 【要約】

【課題】 パワーFETにおいて、高耐圧で且つオン抵抗が小さく、耐圧限界近傍において安定に動作できるようにする。

【解決手段】 GaAsよりなる半絶縁性基板11の上には、Siがドーピングされたn型GaAsよりなるチャネル層12と、エネルギー準位の価電子帯端がGaAsよりも大きいInGaAsよりなる正孔吸収層13と、GaAsよりなるアンドープ層14とが順次形成されている。チャネル層12の上には、該チャネル層を露出させ、正孔吸収層13よりなる下部側壁とアンドープ層14よりなる上部側壁とからなる側壁部を有し、且つ、下部側壁にアンダーカット形状の空間部13aを有するゲートリセス領域が形成されている。ゲート電極19Bは、ゲートリセス領域におけるドレイン電極17C側の側壁部よりなる段差部をまたぐように形成されている。



【特許請求の範囲】

【請求項 1】 半絶縁性基板の上に形成され、不純物がドーピングされてなるチャンネル層と、

前記チャンネル層の上におけるゲート電極形成領域のドレイン側の領域に形成され、ゲート電極形成領域側の端部に段差部を有するアンドープ層と、

前記チャンネル層の上及びアンドープ層の上に前記段差部をまたぐように形成されたゲート電極と、

前記チャンネル層と前記アンドープ層との間の領域に、前記ゲート電極のドレイン側の側面との間に空間部が介在するように形成された正孔吸収層とを備えていることを特徴とする電界効果型トランジスタ。

【請求項 2】 半絶縁性基板の上に形成され、不純物がドーピングされてなるチャンネル層と、

前記チャンネル層の上におけるゲート電極形成領域のドレイン側の領域に形成され、ゲート電極形成領域側の端部に段差部を有する絶縁層と、

前記チャンネル層及び絶縁層の上に前記段差部をまたぐように形成されたゲート電極と、

前記チャンネル層と前記絶縁層との間の領域に、前記ゲート電極のドレイン側の側面との間に空間部が介在するように形成された正孔吸収層とを備えていることを特徴とする電界効果型トランジスタ。

【請求項 3】 前記チャンネル層は n 型 GaAs よりなる半導体層であり、

前記正孔吸収層は InGaAs 又は p 型 GaAs よりなる半導体層であることを特徴とする請求項 1 又は 2 に記載の電界効果型トランジスタ。

【請求項 4】 半絶縁性基板と、

前記半絶縁性基板に互いに間隔をおいて形成され、第 1 導電型の不純物が高濃度にドーピングされてなるソースコンタクト領域及びドレインコンタクト領域と、

前記半絶縁性基板における前記ソースコンタクト領域と前記ドレインコンタクト領域との間に、前記ソースコンタクト領域と前記ドレインコンタクト領域とを接続するように形成され、第 1 導電型の不純物がドーピングされてなるチャンネル領域と、

前記チャンネル領域の上に形成されたゲート電極と、

前記チャンネル領域の下における前記ゲート電極と前記ドレインコンタクト領域との間に形成され、第 2 導電型の不純物がドーピングされてなる正孔吸収領域とを備え、

前記正孔吸収領域は、ドレインコンタクト領域側の端部が前記ドレインコンタクト領域と接続されるように形成されていることを特徴とする電界効果型トランジスタ。

【請求項 5】 前記半絶縁性基板は GaAs よりなり、前記第 1 導電型は n 型で且つ前記第 2 導電型は p 型であることを特徴とする請求項 4 に記載の電界効果型トランジスタ。

【請求項 6】 半絶縁性基板上に、不純物がドーピングされてなるチャンネル層、正孔吸収層、アンドープ層及び不純

物が高濃度にドーピングされてなるコンタクト形成層とを順次形成する工程と、

前記コンタクト形成層の上に、前記コンタクト形成層とオーミック接触する第 1 の導体膜よりなるソース電極及びドレイン電極を互いに間隔をおいて形成する工程と、前記コンタクト形成層における前記ソース電極と前記ドレイン電極との間の領域に対して前記アンドープ層が露出するまでエッチングを行なって、前記コンタクト形成層よりなるソースコンタクト層及びドレインコンタクト層をそれぞれ形成する工程と、

前記アンドープ層及び正孔吸収層におけるゲートリセス形成領域に対して前記チャンネル層が露出するまでエッチングを行なうことにより、前記アンドープ層よりなる上部側壁と前記正孔吸収層よりなる下部側壁とからなる側壁部を有するゲートリセス領域を形成する工程と、

前記ゲートリセス領域における前記下部側壁に対して選択的にエッチングを行なって、前記下部側壁にアンダーカット形状の空間部を形成する工程と、

前記半絶縁性基板上に、前記ゲートリセス領域におけるドレイン電極側の側壁部をまたぐように第 2 の導体膜を堆積することにより、前記ゲートリセス領域におけるソース電極側の側壁との間に間隔をおくと共に、前記ゲートリセス領域のドレイン電極側の側壁部の下部側壁との間に空間部が介在するように、前記第 2 の導体膜よりなり前記チャンネル層及びアンドープ層とショットキ接触するゲート電極を形成する工程とを備えていることを特徴とする電界効果型トランジスタの製造方法。

【請求項 7】 前記チャンネル層は n 型 GaAs よりなる半導体層であり、

前記正孔吸収層は InGaAs 又は p 型 GaAs よりなる半導体層であることを特徴とする請求項 6 に記載の電界効果型トランジスタの製造方法。

【請求項 8】 半絶縁性基板に第 1 導電型の不純物イオンを選択的に注入することにより、半絶縁性基板におけるソース電極形成領域とドレイン電極形成領域との間にチャンネル領域を形成すると共に、

半絶縁性基板におけるチャンネル領域の下側に第 2 導電型の不純物イオンを選択的に注入することにより、半絶縁性基板におけるゲート電極形成領域と前記ドレイン電極形成領域との間に正孔吸収領域を形成する工程と、

半絶縁性基板に第 1 導電型の高濃度の不純物イオンを選択的に注入することにより、前記チャンネル領域におけるソース電極形成領域側の端部に接続するソースコンタクト領域を形成すると共に、前記チャンネル領域及び正孔吸収領域におけるドレイン電極形成領域側の各端部にそれぞれ接続するようにドレインコンタクト領域を形成する工程と、

前記ソースコンタクト領域の上のソース電極形成領域及び前記ドレインコンタクト領域の上のドレイン電極形成領域に第 1 の導体膜を堆積することにより、前記ソース

コンタクト領域とオーミック接触するソース電極及び前記ドレインコンタクト領域とオーミック接触するドレイン電極を形成する工程と、

前記チャネル領域の上の前記ゲート電極形成領域に第2の導体膜を堆積することにより、前記チャネル領域とショットキ接触する前記第2の導体膜よりなるゲート電極を形成する工程とを備えていることを特徴とする電界効果型トランジスタの製造方法。

【請求項9】 前記半絶縁性基板はGaAsよりなり、前記第1導電型はn型で且つ前記第2導電型はp型であることを特徴とする請求項8に記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果型トランジスタに関し、特に、高耐圧が要求されるパワー電界効果型トランジスタとその製造方法に関する。

【0002】

【従来の技術】通信手段の多様化及び高品位化を図るため、信号の変調方式がアナログ方式からデジタル方式に変わり、さらに、無線通信分野においては高周波化がますます加速してきている。ヒ化ガリウム(GaAs)を用いた電界効果型トランジスタ(FET)は、デジタル通信に適した低雑音特性及び低歪み特性と、シリコン系デバイスよりも優れた高速性及び高周波特性とにより、携帯電話を中心とした通信機器の発達と共に近年大幅に需要が増えている。とりわけ送信用アンブに用いられるパワーFETは、低消費電力であるGaAsの特徴を生かして飛躍的に伸びている。

【0003】パワーFETが抱える重要な課題は、その高耐圧化であって、パワーFETの耐圧は、ゲート電極直下の不純物濃度とゲート・ドレイン間の距離とによって決まり、当然ながら、不純物濃度が低い方が、また、ゲート・ドレイン間の距離が長い方が耐圧は良くなる。基板にイオン注入を行なってチャネル領域を形成し、該チャネル領域上に直接ゲート電極を形成するMESFET(=Metal Semiconductor FET)の場合は、ゲート電極直下の不純物濃度が大きいいため、大きな耐圧は得られない。これに対し、エピタキシャル膜を用いてゲート電極直下に不純物を混入しないアンドープ層を介在させてなるMESFETの場合は、ゲート電極直下の不純物濃度が小さいため、大きな耐圧が得られる。

【0004】以下、ゲート電極とチャネル層との間にアンドープ層を備えた従来のMESFETについて図面を参照しながら説明する。

【0005】図7は従来のGaAsを用いたMESFETの断面構成を示している。図7に示すように、GaAsよりなる半絶縁性基板91の上には、Siが不純物としてドーブされたn型GaAsよりなるチャネル層92

と、GaAs又はAlGaAsよりなるアンドープ層93とが順次形成されている。アンドープ層93の上には互いに間隔をおいて、Siが不純物として高濃度にドーブされたn型GaAsよりなるコンタクト層94が形成されており、各コンタクト層94の上には、AuGe等が蒸着されてなるソース電極97及びドレイン電極98がそれぞれ形成されている。アンドープ層93の上におけるソース電極97とドレイン電極98との間には、Al等が蒸着されてなり、アンドープ層93とショットキ接触するゲート電極99が形成されている。

【0006】

【発明が解決しようとする課題】しかしながら、前記従来のMESFETは、ゲート電極99とチャネル層92との間にアンドープ層93が設けられているため、絶対耐圧は向上するものの、ゲート電極99の下部におけるドレイン電極98側の端部に電界が集中するため、ドレイン耐圧はゲート・ドレイン間の距離にのみ依存するので、さらに高耐圧化するにはゲート・ドレイン間の距離を長くしなければならなかった。反面、ゲート・ドレイン間の距離を長くすると該ゲート・ドレイン間の抵抗成分が増加し、FETのオン抵抗が増加するので、FETの諸特性が劣化するという問題を有している。

【0007】また、耐圧値を決定する雪崩降伏現象が生じる状況下においては、チャネル層92におけるゲート電極99のドレイン電極98側の端部において電子・正孔対が多数発生するため、最終的にFETの暴走を引き起こす。このように、高耐圧化と他の電気的特性との高性能化は相反し、また、耐圧限界近傍においては安定な動作を行なえないという問題を有している。

【0008】本発明は前記の問題に鑑み、高耐圧で且つオン抵抗が小さく、耐圧限界近傍において安定に動作できるようにすることを目的とする。

【0009】

【課題を解決するための手段】前記の目的を達成するため、本発明は、基板におけるゲート電極とドレイン電極との間に、発生した電子・正孔対のうちの正孔を捕獲しドレイン電極側に流す正孔吸収層を設けるものである。

【0010】本発明に係る第1の電界効果型トランジスタは、半絶縁性基板の上に形成され、不純物がドーブされてなるチャネル層と、チャネル層の上におけるゲート電極形成領域のドレイン側の領域に形成され、ゲート電極形成領域側の端部に段差部を有するアンドープ層と、チャネル層の上及びアンドープ層の上に段差部をまたぐように形成されたゲート電極と、チャネル層とアンドープ層との間の領域に、ゲート電極のドレイン側の側面との間に空間部が介在するように形成された正孔吸収層とを備えている。

【0011】第1の電界効果型トランジスタによると、チャネル層の上におけるゲート電極形成領域のドレイン側の領域で且つゲート電極形成領域側の端部に段差部を

有するアンドープ層が形成され、ゲート電極が該段差部をまたぐように形成されているため、ゲート電極のドレイン側にずれて位置する頂部がアンドープ層と接触し且つその脚部でチャネル層と接触するので、ゲートバイアス印加時にゲート電極のドレイン側の端部における電界が緩和され、その結果、ゲート・ドレイン間の距離を短くしても十分な耐圧を得ることができる。さらに、ゲート電極のソース側の側面とソース側のコンタクト領域とは耐圧の許す限り近づけることができるため、ソース抵抗が低減される。

【0012】また、チャネル層とアンドープ層との間の領域に、ゲート電極のドレイン側の側面との間に空間部が介在するように形成された正孔吸収層が設けられているため、正孔吸収層のエネルギー準位の価電子帯端がチャネル層に比べて大きい場合には、該正孔吸収層が雪崩降伏現象時に発生する電子・正孔対のうちの正孔を捕獲すると共に、アンドープ層がドレイン側の領域に形成されているので、該正孔は、直接ゲート電極に流入することなくドレイン側の領域に拡散して、コンタクト領域内又はドレイン電極内で電子と再結合する。

【0013】本発明に係る第2の電界効果型トランジスタは、半絶縁性基板の上に形成され、不純物がドーブされてなるチャネル層と、チャネル層の上におけるゲート電極形成領域のドレイン側の領域に形成され、ゲート電極形成領域側の端部に段差部を有する絶縁層と、チャネル層及び絶縁層の上に段差部をまたぐように形成されたゲート電極と、チャネル層と絶縁層との間の領域に、ゲート電極のドレイン側の側面との間に空間部が介在するように形成された正孔吸収層とを備えている。

【0014】第2の電界効果型トランジスタによると、チャネル層の上におけるゲート電極形成領域のドレイン側の領域で且つゲート電極形成領域側の端部に段差部を有する絶縁層が形成され、ゲート電極が該段差部をまたぐように形成されているため、ゲート電極のドレイン側の側面が該側面の上部で絶縁層と接触し且つ側面の下部でチャネル層と接触するので、ゲートバイアス印加時にゲート電極のドレイン側の端部における電界が緩和され、その結果、ゲート・ドレイン間の距離を短くしても十分な耐圧を得ることができる。さらに、ゲート電極のソース側の側面とソース側のコンタクト領域とは耐圧の許す限り近づけることができるため、ソース抵抗が低減される。

【0015】また、チャネル層と絶縁層との間の領域に、ゲート電極のドレイン側の側面との間に空間部が介在するように形成された正孔吸収層が設けられているため、正孔吸収層のエネルギー準位の価電子帯端がチャネル層に比べて大きい場合には、該正孔吸収層が雪崩降伏現象時に発生する電子・正孔対のうちの正孔を捕獲すると共に、絶縁層がドレイン側の領域に形成されているので、該正孔は、直接ゲート電極に流入することなくドレ

イン側の領域に拡散して、コンタクト領域内又はドレイン電極内で電子と再結合する。

【0016】第1又は第2の電界効果型トランジスタにおいて、チャネル層はn型GaAsよりなる半導体層であり、正孔吸収層はInGaAs又はp型GaAsよりなる半導体層であることが好ましい。

【0017】本発明に係る第3の電界効果型トランジスタは、半絶縁性基板と、半絶縁性基板に互いに間隔をおいて形成され、第1導電型の不純物が高濃度にドーブされてなるソースコンタクト領域及びドレインコンタクト領域と、半絶縁性基板におけるソースコンタクト領域とドレインコンタクト領域との間に、ソースコンタクト領域とドレインコンタクト領域とを接続するように形成され、第1導電型の不純物がドーブされてなるチャネル領域と、チャネル領域の下におけるゲート電極とドレインコンタクト領域との間に形成され、第2導電型の不純物がドーブされてなる正孔吸収領域とを備え、正孔吸収領域は、ドレインコンタクト領域側の端部がドレインコンタクト領域と接続されるように形成されている。

【0018】第3の電界効果型トランジスタによると、チャネル領域の下におけるゲート電極とドレインコンタクト領域との間に、ドレインコンタクト領域側の端部をドレインコンタクト領域と接続するように形成された正孔吸収領域が設けられているため、正孔吸収領域のエネルギー準位の価電子帯端がチャネル領域に比べて大きい場合には、該正孔吸収領域が雪崩降伏現象時に発生する電子・正孔対のうちの正孔を捕獲すると共に、該正孔吸収領域がドレインコンタクト領域に接続されているので、該正孔は、直接ゲート電極に流入することなくドレインコンタクト領域に拡散して、該ドレインコンタクト領域内又はドレイン電極内で電子と再結合する。

【0019】第3の電界効果型トランジスタにおいて、半絶縁性基板はGaAsよりなり、第1導電型はn型で且つ第2導電型はp型であることが好ましい。

【0020】本発明に係る第1の電界効果型トランジスタの製造方法は、半絶縁性基板上に、不純物がドーブされてなるチャネル層、正孔吸収層、アンドープ層及び不純物が高濃度にドーブされてなるコンタクト形成層とを順次形成する工程と、コンタクト形成層の上に、コンタクト形成層とオーミック接触する第1の導体膜よりなるソース電極及びドレイン電極を互いに間隔をおいて形成する工程と、コンタクト形成層におけるソース電極とドレイン電極との間の領域に対してアンドープ層が露出するまでエッチングを行なって、コンタクト形成層よりなるソースコンタクト層及びドレインコンタクト層をそれぞれ形成する工程と、アンドープ層及び正孔吸収層におけるゲートリセス形成領域に対してチャネル層が露出するまでエッチングを行なうことにより、アンドープ層よりなる上部側壁と正孔吸収層よりなる下部側壁とからな

る側壁部を有するゲートリセス領域を形成する工程と、ゲートリセス領域における下部側壁に対して選択的にエッチングを行なって、下部側壁にアンダーカット形状の空間部を形成する工程と、半絶縁性基板の上に、ゲートリセス領域におけるドレイン電極側の側壁部をまたぐように第2の導体膜を堆積することにより、ゲートリセス領域におけるソース電極側の側壁との間に間隔をおくと共に、ゲートリセス領域のドレイン電極側の側壁部の下部側壁との間に空間部が介在するように、第2の導体膜よりなりチャンネル層及びアンドープ層とショットキ接触するゲート電極を形成する工程とを備えている。

【0021】第1の電界効果型トランジスタの製造方法によると、ゲートリセス領域におけるドレイン電極側の側壁部をまたぐように第2の導体膜を堆積することにより、ゲートリセス領域におけるソース電極側の側壁との間に間隔をおくと共に、ゲートリセス領域のドレイン電極側の側壁部の下部側壁との間に空間部が介在し、且つ、チャンネル層及びドレイン電極側のアンドープ層とショットキ接触するゲート電極を形成するため、ゲート電極におけるドレイン側にずれて位置する頂部がアンドープ層と接触し且つその脚部でチャンネル層と接触するので、ゲートバイアス印加時にゲート電極のドレイン側の端部における電界が緩和され、その結果、ゲート・ドレイン間の距離を短くしても充分な耐圧を得ることができる。さらに、ゲートリセス領域におけるソース側の側壁はゲート電極のソース側の側面との間に間隔をおいているため、ゲート電極とソースコンタクト層とは耐圧の許す限り近づけることができるので、ソース抵抗が低減される。

【0022】また、チャンネル層とアンドープ層との間の領域に、ゲート電極のドレイン側の側面との間に空間部が介在するように正孔吸収層を設けているため、正孔吸収層のエネルギー準位の価電子帯端がチャンネル層に比べて大きい場合には、該正孔吸収層が雪崩降伏現象時に発生する電子・正孔対のうちの正孔を捕獲すると共に、アンドープ層をドレイン側の領域に延びるように形成しているので、該正孔は、直接ゲート電極に流入することなくドレイン側のコンタクト領域に拡散して、コンタクト領域内又はドレイン電極内で電子と再結合する。

【0023】第1の電界効果型トランジスタの製造方法において、チャンネル層はn型GaAsよりなる半導体層であり、正孔吸収層はInGaAs又はp型GaAsよりなる半導体層であることが好ましい。

【0024】本発明に係る第2の電界効果型トランジスタの製造方法は、半絶縁性基板に第1導電型の不純物イオンを選択的に注入することにより、半絶縁性基板におけるソース電極形成領域とドレイン電極形成領域との間にチャンネル領域を形成すると共に、半絶縁性基板におけるチャンネル領域の下側に第2導電型の不純物イオンを選択的に注入することにより、半絶縁性基板におけるゲ

ート電極形成領域とドレイン電極形成領域との間に正孔吸収領域を形成する工程と、半絶縁性基板に第1導電型の高濃度の不純物イオンを選択的に注入することにより、チャンネル領域におけるソース電極形成領域側の端部に接続するソースコンタクト領域を形成すると共に、チャンネル領域及び正孔吸収領域におけるドレイン電極形成領域側の各端部にそれぞれ接続するようにドレインコンタクト領域を形成する工程と、ソースコンタクト領域の上のソース電極形成領域及びドレインコンタクト領域の上のドレイン電極形成領域に第1の導体膜を堆積することにより、ソースコンタクト領域とオーミック接触するソース電極及びドレインコンタクト領域とオーミック接触するドレイン電極を形成する工程と、チャンネル領域の上のゲート電極形成領域に第2の導体膜を堆積することにより、チャンネル領域とショットキ接触する第2の導体膜よりなるゲート電極を形成する工程とを備えている。

【0025】第2の電界効果型トランジスタの製造方法によると、正孔吸収領域を、チャンネル領域の下側で且つゲート電極形成領域とドレイン電極形成領域との間に第2導電型の不純物イオンを選択的に注入することにより形成すると共に、半絶縁性基板に第1導電型の高濃度の不純物イオンを選択的に注入することにより、チャンネル領域及び正孔吸収領域におけるドレイン電極形成領域側の各端部にそれぞれ接続するようにドレインコンタクト領域を形成するため、正孔吸収領域のドレインコンタクト領域側の端部がドレインコンタクト領域と接続される。従って、正孔吸収領域のエネルギー準位の価電子帯端がチャンネル領域に比べて大きい場合には、該正孔吸収領域が雪崩降伏現象時に発生する電子・正孔対のうちの正孔を捕獲すると共に、該正孔は、直接ゲート電極に流入することなくドレインコンタクト領域に拡散して、該ドレインコンタクト領域内又はドレイン電極内で電子と再結合する。

【0026】第2の電界効果型トランジスタの製造方法において、半絶縁性基板はGaAsよりなり、第1導電型はn型で且つ第2導電型はp型であることが好ましい。

【0027】

【発明の実施の形態】

（第1の実施形態）本発明の第1の実施形態について図面を参照しながら説明する。

【0028】図1は本発明の第1の実施形態に係る電界効果型トランジスタの断面構成を示している。図1に示すように、GaAsよりなる半絶縁性基板11の上には、Siが不純物としてドーパされたn型GaAsよりなるチャンネル層12と、エネルギー準位の価電子帯端がGaAsよりも大きい材料、例えば、ヘテロ接合の場合は半絶縁性InGaAsよりなり、またホモ接合の場合はp型GaAsよりなる正孔吸収層13と、GaAs又はAlGaAsよりなるアンドープ層14とが順次形成

されている。

【0029】チャンネル層12の上には、該チャンネル層を露出させ、正孔吸収層13よりなる下部側壁とアンドープ層14よりなる上部側壁とからなる側壁部を有し、且つ、下部側壁にはアンダーカット形状の空間部13aを有するゲートリセス領域が形成されており、アンドープ層14の上には、Siが高濃度にドーピングされたn型GaAsよりなり、該ゲートリセス領域を挟んでそれぞれソースコンタクト層15Bとドレインコンタクト層15Cとが形成されている。ソースコンタクト層15Bの上にはAuGe等よりなり該ソースコンタクト層15Bとオーミック接触するソース電極17Bが形成されると共に、ドレインコンタクト層15Cの上にはAuGe等よりなり該ドレインコンタクト層15Cとオーミック接触するドレイン電極17Cが形成されている。

【0030】Al等よりなるゲート電極19Bは、ゲートリセス領域におけるソース電極17B側の側壁との間に所定の間隔をおくと共に、ゲートリセス領域におけるドレイン電極17C側の側壁部よりなる段差部をまたぐことにより、ドレイン電極17C側にずれて位置し且つアンドープ層14とショットキ接触する頂部とチャンネル層12とショットキ接触する脚部とからなり、該脚部と段差部下部との間に空間部13aが介在するように形成されている。

【0031】以下、本発明の第1の実施形態に係る電界効果型トランジスタの製造方法について図面を参照しながら説明する。図2(a)～(e)は本実施形態に係る電界効果型トランジスタの製造方法の工程順の断面構成を示している。

【0032】まず、図2(a)に示すように、CVD法等の結晶成長法を用いて、GaAsよりなる半絶縁性基板11の上に、Siがドーピングされたn型GaAsよりなるチャンネル層12と、半絶縁性InGaAs又はp型GaAsよりなる正孔吸収層13と、GaAs又はAlGaAsよりなるアンドープ層14と、Siが高濃度にドーピングされたn型GaAsよりなるコンタクト形成層15Aを順次積層する。その後、コンタクト形成層15Aの上に、互いに間隔をおいたソース電極形成領域及びドレイン電極形成領域に開口部を有する第1のレジストパターン21を形成した後、半絶縁性基板11の上に全面にわたって第1の導体膜としてのAuGe/Ni等よりなる金属膜17Aを蒸着し、第1のレジストパターン21をリフトオフして、コンタクト形成層15Aの上にソース電極17B及びドレイン電極17Cをそれぞれ形成する。

【0033】次に、図2(b)に示すように、半絶縁性基板11に対して熱処理を行なってソース電極17B及びドレイン電極17Cとコンタクト形成層15Aとをそれぞれオーミック接触させる。その後、半絶縁性基板11の上に、コンタクト形成層15Aにおけるソースコン

タクト形成領域及びドレインコンタクト形成領域をそれぞれマスクする第2のレジストパターン22を形成した後、該第2のレジストパターン22をマスクとしてコンタクト形成層15Aに対してアンドープ層14が露出するまでエッチングを行なって、コンタクト形成層15Aからソースコンタクト層15B及びドレインコンタクト層15Cを形成する。

【0034】次に、図2(c)に示すように、第2のレジストパターン22を除去した後、半絶縁性基板11の上に、ゲートリセス領域14aに開口部を有する第3のレジストパターン23を形成し、該第3のレジストパターン23をマスクとしてアンドープ層14及び正孔吸収層13に対してチャンネル層12が露出するまでウエットエッチングを行なって、正孔吸収層13よりなる下部側壁とアンドープ層12よりなる上部側壁とからなる側壁部を有するゲートリセス領域14aを形成する。引き続き、第3のレジストパターン23をマスクとしてゲートリセス領域14aにおける下部側壁の正孔吸収層13に対して塩酸等を用いて選択的にウエットエッチングを行なって、ゲートリセス領域14aにおける下部側壁がアンダーカット形状となる空間部13aを形成する。

【0035】次に、図2(d)に示すように、第3のレジストパターン23を除去した後、半絶縁性基板11の上に、ゲートリセス領域14aにおけるドレイン電極17C側の壁面を含む領域に開口部を有する第4のレジストパターン24を形成し、半絶縁性基板11の上に全面にわたって第2の導体膜としてのAl等よりなる金属膜19Aを堆積する。

【0036】次に、図2(e)に示すように、第4のレジストパターン24をリフトオフして、Al等よりなるゲート電極19Bを、ゲートリセス領域14aにおけるドレイン電極17C側の側壁部をまたぐと共に正孔吸収層13よりなる下部側壁との間に空間部13aが介在するように形成する。

【0037】以下、前記のように構成された電界効果型トランジスタの動作を説明する。

【0038】図3(a)は本実施形態に係る電界効果型トランジスタの断面構成を示し、通常の電子の流れと、雪崩降伏現象によってチャンネル層におけるゲート電極のドレイン側の端部近傍に生じる電子・正孔対及びその正孔の流れとを定性的に表わしている。ここで、図3

(a)において、図1に示す部材と同一の部材には同一の符号を付すことにより説明を省略する。図3(a)に示すように、ソースコンタクト層15B側から注入される電子1はチャンネル層12を通過してドレインコンタクト層15C側に流入する。一方、雪崩降伏現象が発生する程度のゲートバイアスがゲート電極19Bに印加される場合には、チャンネル層12におけるゲート電極19Bのドレイン側の端部の下方の領域で電子1と正孔2とからなる多数の電子・正孔対3が生じる。

【0039】本実施形態においては、チャンネル層12とアンドープ層14との間の領域で、且つ、ゲート電極19Bのドレイン側の側面とドレインコンタクト層15Cとの間に、正孔吸収層13のエネルギー準位の価電子帯端がチャンネル層12よりも大きい半絶縁性InGaAs又はp型GaAsよりなる正孔吸収層13が設けられているため、チャンネル層12におけるゲート電極19Bのドレイン側の端部の下方の領域で生じた正孔2は正孔吸収層13に捕獲される。該正孔吸収層13は、ゲート電極19Bのドレイン側の側面と接することなく設けられているため、捕獲された正孔2はゲート電極19に流入することなくドレインコンタクト層15Cにのみ流れ込む。その後、これらの正孔2は、高濃度にドーピングされたn型のドレインコンタクト層15Cの内部で他の電子1と再結合する。このとき、ドレイン電流はこの再結合を補完するために微増するが、微増の割合はドレイン・ソース間電流の数%未満であるため、FET自身の動作への影響は無視できる。

【0040】一方、図3(c)に示すように、従来のゲート電極下にアンドープ層93を備えたMESFETの場合においては、雪崩降伏現象時に多数発生する正孔2は、GaAs系FETにおいて一般に負のゲートバイアスが印加されるゲート電極99に直接流入する。これは、負の電位であるゲート電極99が正の電荷を有する正孔にとって最もポテンシャルが小さくなって安定となるからである。これにより、ゲートリーク電流が増大し、最終的にはFETの暴走を引き起こすことになる。

【0041】しかしながら、本実施形態によると、チャンネル層12とアンドープ層14との間の領域で、且つ、ゲート電極19Bのドレイン側の側面とドレインコンタクト層15Cとの間に、正孔吸収層13のエネルギー準位の価電子帯端がチャンネル層12よりも大きい半絶縁性InGaAs又はp型GaAsよりなる正孔吸収層13が、ゲート電極19Bのドレイン側の側面と接することなく設けられているため、雪崩降伏状態で生じる正孔2は、該正孔2にとって安定なエネルギー準位を有する正孔吸収層13に捕獲され、その後、高濃度のドレインコンタクト層15Cに拡散してその内部で他の電子と再結合するので、ゲート電極19Bに流れ込まなくなる。従って、ゲートリーク電流の増加が抑制されるため、耐圧が向上すると共にFETの暴走が抑制されるので、耐圧近傍での安定的な動作を可能にする。

【0042】さらに、本実施形態の特徴として、ゲート電極19Bのドレイン側にずれて位置する頂部がアンドープ層14と接触し且つその脚部でチャンネル層と接触するため、ゲートバイアス印加時にゲート電極のドレイン側の端部における電界が緩和されるので、ゲート・ドレイン間の距離を短くしても充分な耐圧を得ることができる。これにより、FETの立ち上がり時のオン抵抗は大幅に低減される。

【0043】また、ゲート電極におけるソース側の側面はソース側のアンドープ層14のゲート電極19B側の端部との間に間隔をおいて形成されているため、ゲート電極19Bとはソースコンタクト領域15Bとは耐圧の許す限り近づけることができるので、ソース抵抗が低減される。

【0044】図4は本実施形態に係るGaAsMESFETの出力電力とゲート電流との関係を従来のGaAsMESFETと対比させて測定した測定結果を示し、曲線4は本実施形態に係るMESFETを示し、曲線5は従来のMESFETを示している。一般に、ゲート幅が約30mmの場合には、約17mAのゲート電流が自己発生すると暴走することがわかっている。図4の曲線5に示すように、従来のMESFETでは、約20Wの出力でゲート電流が約17mAとなって暴走する。一方、図4の曲線4に示すように、本実施形態に係るMESFETでは、約30Wで約17mAのゲート電流が生じたにもかかわらず暴走には至らなかった。

【0045】このように、チャンネル層12とアンドープ層14との間の領域で、且つ、ゲート電極19Bのドレイン側の側面とドレインコンタクト層15Cとの間に、正孔吸収層13のエネルギー準位の価電子帯端がチャンネル層12よりも大きい半絶縁性InGaAs又はp型GaAsよりなる正孔吸収層13を備えているため、該正孔吸収層13が、特にパワーFETの特性改善に与える影響は顕著である。

【0046】なお、本実施形態においては、ゲート電極19B下の電界を緩和し且つドレイン側にずれた頂部を支えるためのアンドープ層14は、ゲート電極19B側の端部が絶縁体であってもよく、また、チャンネル層の種類等にも依存せず、GaAs以外の材料系にも幅広く適用できる。

【0047】また、正孔吸収層13には半絶縁性InGaAs又はp型GaAsを用いたが、半絶縁性InGaAsは、不純物がドーピングされていてもエネルギー準位の価電子帯端がチャンネル層12よりも大きくなるため、n型又はp型であってもよい。また、ゲート電極19B下にリセス部を設けて、基板全面にアンドープ層14及び正孔吸収層13を設けていないのは、バンドギャップの小さい正孔吸収層13を挟んでゲート電極19Bがチャンネル層14を制御するのは困難であるためであって、チャンネル層14におけるドレイン・ソース間電流はゲート電極19Bの脚部がチャンネル層14に直接接触している底部で制御される。

【0048】(第2の実施形態)以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0049】図5は本発明の第2の実施形態に係るプレーナ型の電界効果型トランジスタの断面構成を示している。図5に示すように、GaAsよりなる半絶縁性基板31には、互いに間隔をおいて形成され、第1導電型と

してのn型の不純物Siが高濃度にドーブされたソースコンタクト領域31a及びドレインコンタクト領域31bと、ソースコンタクト領域31aとドレインコンタクト領域31bとの間に、n型の不純物Siがドーブされ、該ソースコンタクト領域31aとドレインコンタクト領域31bとが互いに接続されるように形成されたチャンネル領域31cとが形成されている。

【0050】半絶縁性基板31の上には、ソースコンタクト領域31aの上にAuGe等が蒸着されてなり、該ソースコンタクト領域31aとオーミック接触するソース電極37Bと、ドレインコンタクト領域31bの上にAuGe等が蒸着されてなり、該ドレインコンタクト領域31bとオーミック接触するドレイン電極37Cと、チャンネル領域31cの上にAl等が蒸着されてなり、該チャンネル領域31cとショットキ接触するゲート電極39Bとがそれぞれ形成されている。

【0051】本実施形態の特徴として、チャンネル領域31cの下におけるゲート電極39Bとドレインコンタクト領域31bとの間に形成され、第2導電型としてのp型の不純物Mgがドーブされ、雪崩降伏現象時における正孔の流入を図る正孔吸収領域31dが形成されている。

【0052】以下、本発明の第2の実施形態に係る電界効果型トランジスタの製造方法について図面を参照しながら説明する。図6(a)～(f)は本実施形態に係る電界効果型トランジスタの製造方法の工程順の断面構成を示している。

【0053】まず、図6(a)に示すように、GaAsよりなる半絶縁性基板31の上に正孔吸収領域形成用の開口部を有する第1のレジストパターン41を形成し、該第1のレジストパターン41をマスクとして半絶縁性基板31に対してp型の不純物イオンであるMgを用いてイオン注入を行なって半絶縁性基板31内の深部に正孔吸収領域31dを形成する。

【0054】次に、図6(b)に示すように、第1のレジストパターン41を除去した後、半絶縁性基板31の上に基板のゲート長方向の両端部をそれぞれマスクする第2のレジストパターン42を形成し、該第2のレジストパターン42をマスクとして半絶縁性基板31に対してSiを用いてイオン注入を行なって、半絶縁性基板31における正孔吸収領域31dの上で且つ基板のゲート長方向の両端部にまで延びるn型のチャンネル領域31cを形成する。

【0055】次に、図6(c)に示すように、第2のレジストパターン42を除去した後、半絶縁性基板31の上にソースコンタクト領域形成用及びドレインコンタクト領域形成用の各開口部を有しチャンネル領域31cをマスクする第3のレジストパターン43を形成し、該第3のレジストパターン43をマスクとして半絶縁性基板31に対して高濃度のSiを用いてイオン注入を行なうこ

とにより、ソース電極形成領域側に、チャンネル領域31cにおけるソース電極形成領域側の端部に接続されるようにソースコンタクト領域31aを形成すると共に、ドレイン電極形成領域側に、チャンネル領域31c及び正孔吸収領域31dにおけるドレイン電極形成領域側の各端部にそれぞれ接続されるようにドレインコンタクト領域31bを形成する。

【0056】次に、図6(d)に示すように、第3のレジストパターン43を除去した後、半絶縁性基板31に対して熱処理を行なって、イオン注入により形成された各領域の不純物をそれぞれ活性化させた後、半絶縁性基板31の上にソース電極形成領域及びドレイン電極形成領域にそれぞれ開口部を有する第4のレジストパターン44を形成し、半絶縁性基板31の上に全面にわたって第1の導体膜としてのAuGe/Ni等よりなる金属膜37Aを蒸着し、第4のレジストパターン44をリフトオフして、ソースコンタクト領域31aの上にソース電極37Bとドレインコンタクト領域31bの上にドレイン電極37Cをそれぞれ形成する。

【0057】次に、図6(e)に示すように、半絶縁性基板31に対して熱処理を行なってソース電極37Bとソースコンタクト領域31aとを、また、ドレイン電極37Cとドレインコンタクト領域31bとをそれぞれオーミック接触させる。その後、半絶縁性基板31の上に、ゲート電極形成領域に開口部を有する第5のレジストパターン45を形成した後、半絶縁性基板31の上に全面にわたって第2の導体膜としてのAl等よりなる金属膜39Aを堆積する。

【0058】次に、図6(f)に示すように、第5のレジストパターン45をリフトオフして、Al等よりなるゲート電極39Bを形成する。

【0059】以下、前記のように構成された電界効果型トランジスタの動作を説明する。

【0060】図3(b)は本実施形態に係る電界効果型トランジスタの断面構成を示し、通常の電子の流れと、雪崩降伏現象によってゲート電極のドレイン側に生じる電子・正孔対及びその正孔の流れとを定性的に表わしている。ここで、図3(b)において、図5に示す部材と同一の部材には同一の符号を付すことにより説明を省略する。図3(b)に示すように、ソース電極37Bから注入された電子1はチャンネル層31cを通してドレイン電極37Cに流入する。一方、雪崩降伏現象が発生する程度のゲートバイアスがゲート電極39Bに印加される場合には、前述したように、チャンネル層31cにおけるゲート電極39Bのドレイン側の端部の下方の領域で電子1と正孔2とからなる多数の電子・正孔対3が生じる。

【0061】本実施形態においては、チャンネル領域の下におけるゲート電極39Bとドレインコンタクト領域37Cとの間に、ドレインコンタクト領域側の端部がドレ

インコンタクト領域 37C と接続されるように形成され、且つ、正孔吸収層 31d のエネルギー準位の価電子帯端がチャネル領域 31c よりも大きい p 型 GaAs よりなる正孔吸収層 31d が設けられているため、チャネル層 31c におけるゲート電極 39B のドレイン側の端部の下方の領域で生じた正孔 2 は、正孔吸収層 31d を通ってドレインコンタクト領域 31b に流入する。その後、該正孔 2 は、高濃度にドーピングされた n 型のドレインコンタクト領域 31b の内部で他の電子 1 と再結合する。従って、雪崩降伏現象発生時にゲートリーク電流の増加が抑制されるため、耐圧が向上すると共に FET の暴走をも抑制できるので、耐圧近傍での安定的な動作が可能になる。

【0062】なお、本実施形態において、正孔吸収領域 31d がチャネル領域 31c の下側に全面にわたって形成されていないのは、電子・正孔対 3 はゲート電極 39B のドレイン側で発生するため、チャネル領域 31c におけるゲート電極 39B の下側を通してソース電極 37B 側に正孔 2 を引き出そうとすると、その距離が長くなり途中でゲート電極 39B に引き込まれてしまうので、効果的でないからである。

【0063】このように、イオン注入により製造されるプレーナ型の GaAs MESFET においても、チャネル領域 31c と反対の導電型を有する正孔吸収領域 31d を、チャネル領域 31c の下におけるゲート電極 39B とドレインコンタクト領域 31b との間に設けることによって、より簡便且つ安価に特性改善の効果を得ることができる。

【0064】また、チャネル層 31c の種類等に依存せず、GaAs 以外の材料系であっても同様の効果を期待できる。

【0065】

【発明の効果】本発明に係る第 1 及び第 2 の電界効果型トランジスタによると、ゲート電極のドレイン側にずれて位置する頂部がアンドープ層又は絶縁層と接触し且つその脚部でチャネル層と接触するので、ゲートバイアス印加時にゲート電極のドレイン側の端部における電界が緩和され、その結果、ゲート・ドレイン間の距離を短くしても充分な耐圧を得ることができる。さらに、ゲート電極のソース側の側面とソース側のコンタクト領域とは耐圧の許す限り近づけることができるため、ソース抵抗が低減される。従って、FET の立ち上がり時のオン抵抗が低減される。

【0066】また、チャネル層とアンドープ層又は絶縁層との間の領域に、ゲート電極のドレイン側の側面との間に空間部が介在するように形成された正孔吸収層が設けられているため、正孔吸収層のエネルギー準位の価電子帯端がチャネル層に比べて大きい場合には、該正孔吸収層が雪崩降伏現象時に発生する電子・正孔対のうちの正孔を捕獲すると共に、アンドープ層又は絶縁層がドレ

イン側の領域に形成されているので、該正孔は、直接ゲート電極に流入することなくドレイン側の領域に拡散して、コンタクト領域内又はドレイン電極内で電子と再結合する。これにより、雪崩降伏現象時に発生する電子・正孔対のうちの正孔がゲート電極に直接流れ込まなくなるため、ゲートリーク電流の増加が抑制されるので、耐圧が向上すると共に FET の暴走が抑制され、その結果、耐圧近傍での安定的な動作が可能となる。

【0067】第 1 及び第 2 の電界効果型トランジスタにおいて、チャネル層が n 型 GaAs よりなる半導体層であり、正孔吸収層が InGaAs 又は p 型 GaAs よりなる半導体層であると、正孔吸収層のエネルギー準位の価電子帯端がチャネル層に比べて大きくなるので、雪崩降伏現象時に発生する電子・正孔対のうちの正孔を確実に捕獲できる。

【0068】本発明に係る第 3 の電界効果型トランジスタによると、チャネル領域の下におけるゲート電極とドレインコンタクト領域との間に、ドレインコンタクト領域側の端部をドレインコンタクト領域と接続するように形成された正孔吸収領域が設けられているため、正孔吸収領域のエネルギー準位の価電子帯端がチャネル領域に比べて大きい場合には、該正孔吸収領域が雪崩降伏現象時に発生する電子・正孔対のうちの正孔を捕獲すると共に、該正孔吸収領域がドレインコンタクト領域に接続されているので、該正孔は、直接ゲート電極に流入することなくドレインコンタクト領域に拡散して、該ドレインコンタクト領域内又はドレイン電極内で電子と再結合する。これにより、雪崩降伏現象時に発生する電子・正孔対のうちの正孔がゲート電極に直接流れ込まなくなるため、ゲートリーク電流の増加が抑制されるので、耐圧が向上すると共に FET の暴走が抑制され、その結果、耐圧近傍での安定的な動作が可能となる。

【0069】第 3 の電界効果型トランジスタにおいて、半絶縁性基板が GaAs よりなり、第 1 導電型が n 型で且つ第 2 導電型が p 型であると、正孔吸収領域のエネルギー準位の価電子帯端がチャネル層に比べて大きくなるので、雪崩降伏現象時に発生する電子・正孔対のうちの正孔を確実に捕獲できる。

【0070】本発明に係る第 1 の電界効果型トランジスタの製造方法によると、ゲート電極のドレイン側にずれて位置する頂部がアンドープ層と接触し且つその脚部でチャネル層と接触するため、ゲートバイアス印加時にゲート電極のドレイン側の端部における電界が緩和されるので、ゲート・ドレイン間の距離を短くしても充分な耐圧を得ることができる。さらに、ゲートリセス領域におけるソース側の側壁はゲート電極のソース側の側面との間に間隔をおいているため、ゲート電極とソースコンタクト層とは耐圧の許す限り近づけることができるので、ソース抵抗が低減される。これにより、FET の立ち上がり時のオン抵抗が低減される。

【0071】また、チャンネル層とアンドープ層との間の領域に、ゲート電極のドレイン側の側面との間に空間部が介在するように正孔吸収層を設けているため、正孔吸収層のエネルギー準位の価電子帯端がチャンネル層に比べて大きい場合には、該正孔吸収層が雪崩降伏現象時に発生する電子・正孔対のうちの正孔を捕獲すると共に、アンドープ層をドレイン側の領域に延びるように形成しているので、該正孔は、直接ゲート電極に流入することなくドレイン側のコンタクト領域に拡散して、コンタクト領域内又はドレイン電極内で電子と再結合する。従って、雪崩降伏現象時に発生する電子・正孔対のうちの正孔がゲート電極に直接流れ込まなくなるため、ゲートリーク電流の増加が抑制されるので、耐圧が向上すると共にFETの暴走が抑制され、その結果、耐圧近傍での安定的な動作が可能となる。

【0072】第1の電界効果型トランジスタの製造方法において、チャンネル層がn型GaAsよりなる半導体層であり、正孔吸収層がInGaAs又はp型GaAsよりなる半導体層であると、正孔吸収層のエネルギー準位の価電子帯端がチャンネル層に比べて大きくなるので、雪崩降伏現象時に発生する電子・正孔対のうちの正孔を確実に捕獲できる。

【0073】本発明に係る第2の電界効果型トランジスタの製造方法によると、チャンネル領域の下側で且つゲート電極形成領域とドレイン電極形成領域との間に形成された正孔吸収領域は、該正孔吸収領域のドレインコンタクト領域側の端部がドレインコンタクト領域と接続されるため、正孔吸収領域のエネルギー準位の価電子帯端がチャンネル領域に比べて大きい場合には、該正孔吸収領域が雪崩降伏現象時に発生する電子・正孔対のうちの正孔を捕獲すると共に、該正孔が直接ゲート電極に流入することなくドレインコンタクト領域に拡散して、該ドレインコンタクト領域内又はドレイン電極内で電子と再結合する。これにより、雪崩降伏現象時に発生する電子・正孔対のうちの正孔がゲート電極に直接流れ込まなくなるため、ゲートリーク電流の増加が抑制されるので、耐圧が向上すると共にFETの暴走が抑制され、その結果、耐圧近傍での安定的な動作が可能となる。

【0074】また、イオン注入法を用いているため、簡便且つ安価に製造できる。

【0075】第2の電界効果型トランジスタの製造方法において、半絶縁性基板がGaAsよりなり、第1導電型はn型で且つ第2導電型はp型であると、正孔吸収領域のエネルギー準位の価電子帯端がチャンネル層に比べて大きくなるので、雪崩降伏現象時に発生する電子・正孔対のうちの正孔を確実に捕獲できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る電界効果型トランジスタを示す構成断面図である。

【図2】本発明の第1の実施形態に係る電界効果型ト

ランジスタの製造方法を示す工程順断面図である。

【図3】電界効果型トランジスタにおける通常の電子の流れと、雪崩降伏時に発生する電子・正孔対及びその正孔の流れとを定性的に表わした模式図であって、(a)は本発明の第1の実施形態に係る電界効果型トランジスタの断面構成図であり、(b)は本発明の第2の実施形態に係る電界効果型トランジスタの断面構成図であり、(c)は従来の電界効果型トランジスタの断面構成図である。

【図4】本発明の第1の実施形態に係る電界効果型トランジスタの出力電力とゲート電流との関係を従来のGaAsMESFETと対比させた測定結果を示すグラフである。

【図5】本発明の第2の実施形態に係る電界効果型トランジスタを示す構成断面図である。

【図6】本発明の第2の実施形態に係る電界効果型トランジスタの製造方法を示す工程順断面図である。

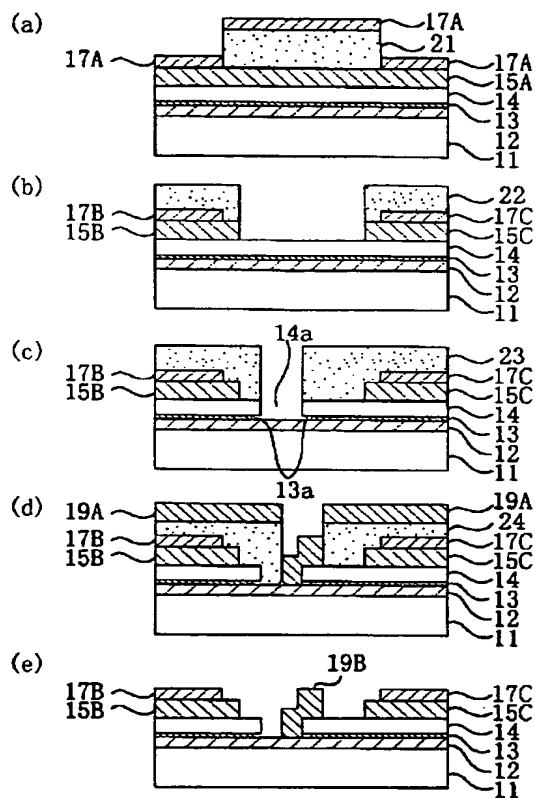
【図7】従来のGaAsを用いたMESFETを示す構成断面図である。

【符号の説明】

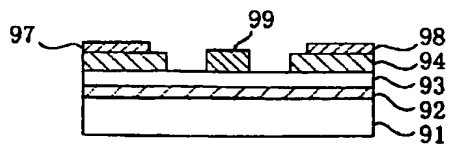
- | | |
|-----|-------------------------|
| 1 | 電子 |
| 2 | 正孔 |
| 3 | 電子・正孔対 |
| 11 | 半絶縁性基板 |
| 12 | チャンネル層 |
| 13 | 正孔吸収層 |
| 13a | 空間部 |
| 14 | アンドープ層 |
| 14a | ゲートリセス領域 |
| 15A | コンタクト形成層 |
| 15B | ソースコンタクト層 |
| 15C | ドレインコンタクト層 |
| 17A | AuGe/Ni等よりなる金属膜(第1の導体膜) |
| 17B | ソース電極 |
| 17C | ドレイン電極 |
| 19A | Al等よりなる金属膜(第2の導体膜) |
| 19B | ゲート電極 |
| 21 | 第1のレジストパターン |
| 22 | 第2のレジストパターン |
| 23 | 第3のレジストパターン |
| 24 | 第4のレジストパターン |
| 31 | 半絶縁性基板 |
| 31a | ソースコンタクト領域 |
| 31b | ドレインコンタクト領域 |
| 31c | チャンネル領域 |
| 31d | 正孔吸収領域 |
| 37A | AuGe/Ni等よりなる金属膜(第1の導体膜) |
| 37B | ソース電極 |

4 2 第2のレジストパターン
4 3 第3のレジストパターン
4 4 第4のレジストパターン
4 5 第5のレジストパターン

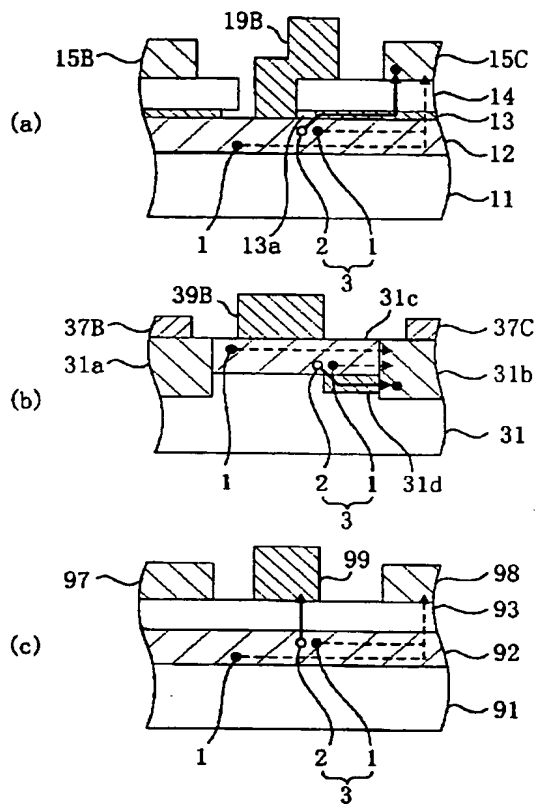
【圖 2】



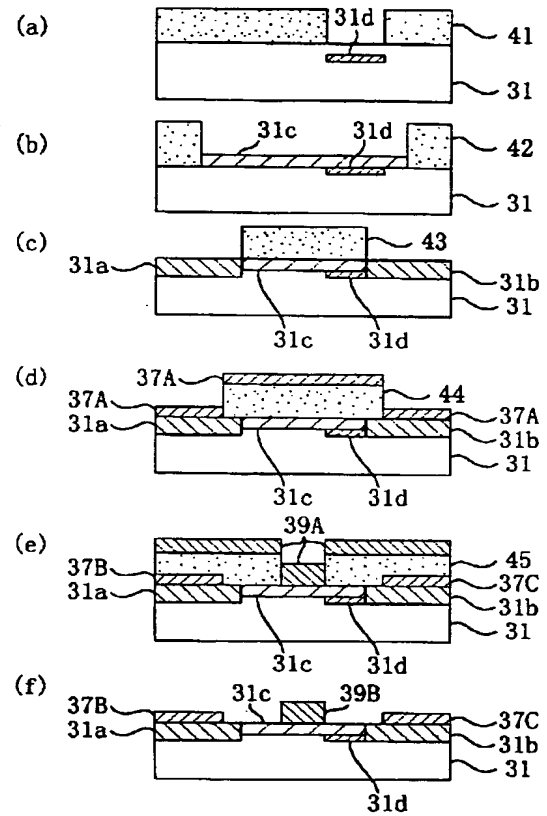
【図7】



【図3】



【図6】



フロントページの続き

(72) 発明者 岩永 順子
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内